
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 20010091532 A
(43)Date of publication of application: 23.10.2001

(21)Application number: 20000013346

(22)Date of filing: 16.03.2000

(71)Applicant:

SAMSUNG ELECTRONICS
CO., LTD.

(72)Inventor:

KIM, BYEONG GI
RYU, WON IL

(51)Int. Cl

H01L 27/115

(54) FLASH MEMORY OF SPLIT GATE TYPE

(57) Abstract:

PURPOSE: A split gate flash memory is provided to enhance program and erase efficiency and to improve the endurance of the program and erase by forming a wide active width.

CONSTITUTION: The split gate flash memory comprises a source, a drain and a channel formed on a substrate, a gate oxide formed on the source, the drain and the channel, a floating gate formed on the gate oxide, a tunnel oxide formed on the floating gate, and a control gate. At this time, the channel width corresponding to the floating gate has an active structure having a wider width compared to the channel width corresponding to the control gate.



© KIPO 2002

Legal Status

Date of request for an examination (20000316)

Final disposal of an application (registration)

Date of final disposal of an application (20020905)

Patent registration number (1003604950000)

Date of registration (20021028)

특2001-0091532

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ (11) 공개번호 특2001-0091532
H01L 27/115 (43) 공개일자 2001년10월23일

(21) 출원번호 10-2000-0013346
(22) 출원일자 2000년03월16일
(71) 출원인 삼성전자 주식회사 윤종용
경기 수원시 팔달구 매탄3동 416
(72) 발명자 김병기
경기도군포시당동252-4동아아파트106동210호
류원일
서울특별시강남구대치2동미도아파트102동801호
(74) 대리인 이영필, 조혁근, 이해영

심사결과 : 있음

(54) 스플릿 게이트형 플래쉬 메모리

요약

본 발명은 쓰기(Program) 및 지우기(Erase) 효율의 증진과 아울러 상기 쓰기/지우기 반복(Endurance) 특성을 개선하는 액티브(Active) 형상을 제공하는 스플릿 게이트형 플래쉬 메모리를 기재한다. 본 발명에 따른 스플릿 게이트형 플래쉬 메모리는 플로팅 게이트(Floating gate) 밑으로 소스가 확장되는 부분의 액티브 폭(Active Width)을 가능한 한 넓게 만들어 줌으로써, 쓰기(Program) 및 지우기(Erase) 효율을 증진시키고 동시에 쓰기/지우기 반복(Endurance) 특성을 향상시킨다.

도표도

도5a

명세서

도면의 간단한 설명

도 1은 일반적인 스플릿 게이트(Split gate)형 플래쉬 메모리(Flash memory)의 구조를 나타내는 수직 단면도,

도 2는 도 1의 스플릿 게이트 메모리 셀(Split gate memory cell)의 캐패시터 모델(Capacitor model)을 나타내는 도면,

도 3은 기존의 스플릿 게이트 메모리 셀(Split gate memory cell)의 Active 형상을 나타내는 개략적 투시 평면도,

도 4는 도 3의 스플릿 게이트 메모리 셀의 Endurance 특성을 나타내는 그래프,

도 5a, 도 5b 및 도 5c는 각각 본 발명에 따른 스플릿 게이트 메모리 셀(Split gate memory cell)의 액티브 형상을 나타내는 개략적 투시 평면도,

도 6a 내지 도 6c는 각각 도 5a, 도 5b 및 도 5c의 스플릿 게이트 메모리 셀을 제작하는 방법을 나타내는 공정 단계별 수직 단면도,

도 7은 도 5c의 실시예와 도 3의 기존의 스플릿 게이트 메모리 셀의 전자주입 특성을 비교하기 위하여 나타낸 그래프,

그리고 도 8은 도 5c의 실시예와 도 3의 기존의 스플릿 게이트 메모리 셀의 쓰기/지우기 반복(endurance) 특성을 비교하기 위하여 나타낸 그래프이다.

<도면의 주요부분에 대한 부호의 설명>

- | | |
|------------------------------------|--------------------|
| 12. 실리콘 기판 | 14. 소스 |
| 16. 드레인 | 18. 채널(Channel) |
| 20. 게이트 절연막(산화물) | |
| 22. 플로팅 게이트(Floating gate)(폴리 실리콘) | |
| 24. 인터폴리 터널 절연막 | 25. 게이트간 절연층(산화물층) |

29. 제어 게이트(Control gate) 70. 집화층(집화층 마스크 패턴)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 스플릿 게이트(Split gate)형 플래쉬 메모리(Flash memory)에 관한 것으로, 상세하게는 쓰기(Program) 및 지우기(Erase) 효율의 증진과 아울러 쓰기/지우기 반복(Endurance) 특성을 개선하는 액티브(Active) 형상을 제공하는 스플릿 게이트형 플래쉬 메모리에 관한 것이다.

스플릿 게이트(Split gate)형 플래쉬 메모리(Flash memory)는 도 1에 도시된 바와 같이 플로팅 게이트(Floating gate)(22)와 제어 게이트(Control gate)(29)가 분리된 구조를 갖는다. 플로팅 게이트(Floating gate)(22)는 외부와 전기적으로 완전히 절연시킨 고립된 구조를 갖는데 이 플로팅 게이트(22)로의 전자 주입(쓰기)과 방출(지우기)에 따라 메모리 셀(Cell)의 전류가 변하는 성질을 이용하여 정보를 저장한다. 플로팅 게이트(22)로의 전자 주입은 채널(Channel)(18)에서의 고온 전자(Hot electron)를 이용한 CHE(channel hot electron injection) 방식으로 이루어지며, 전자 방출은 플로팅 게이트와 제어 게이트 사이의 절연막(24)을 통한 F-N(Fowler-Nordheim) 터널링(tunnelling)이 이용된다. 전자 주입(Program)과 방출(Erase)에 관련된 전압 배분은 도 2에 도시된 바와 같은 등가 캐패시터 모델(Equivalent Capacitor Model)로 설명될 수 있다.

전자주입(Program)은 대략 소스(Source)(Vs = 11 V), 드레인(Drain)(Vd = 0V) 조건에서 제어 게이트(Control gate)(29)에 채널(18)이 약간 열릴 정도의 전압(Vgl)을 인가한다. 이 경우 플로팅 게이트(22)에는 대략 $V_{gs} = C_s / (C_s + C_{tot})$ 정도의 전압이 걸리게 되며($C_s + C_{tun} + C_{gox} \sim C_{tot}$), 따라서 C_s / C_{tun} 값이 중요한 변수가 된다. 플로팅 게이트(22)에 걸리는 전압은 수직 전계를 발생시켜 고온 전자(Hot electron)가 플로팅 게이트 내로 주입시키는 역할을 하므로 전자주입(Program) 효율을 높이기 위해서는 이 값을 증진시킬 필요가 있다.

또한, 전자 방출(Erase)시에는 Vs=0V, Vd=15V 정도를 인가하여 인터폴리(Interpoly) 절연막(24)을 통한 F-N 터널링(tunnelling)을 이용하는데, 이 때 플로팅 게이트(22)의 전압은 $(C_{tot} - C_s - C_{gox}) / C_{tot}$ 에 비례하므로 유효 전압(Vgl-Vf)을 높여주기 위해서는 역시 Cs를 높여주고 Ctun을 줄여주는 것이 효과적이다. 전자 방출(Erase)시의 유효전압은 전자방출(Erase) 효율 뿐만 아니라 셀(Cell)의 쓰기/지우기 반복(Endurance) 특성에도 큰 영향을 미친다. 인터폴리 산화물(Interpoly oxide)(24)을 통한 F-N 터널링(tunnelling)에서는 절연막에서의 전자 트랩(trap)에 의한 터널(tunnel) 전류의 감소가 열화(Degradation)의 주원인으로 알려져 있는데, 유효전압을 증가시키면 이로 인한 영향을 줄일 수 있다. 따라서, 물질이 동일할 경우 각각의 캐패시턴스(Capacitance)는 셀(Cell)의 구조 특히 절연막의 두께와 면적에 의존하게 되므로 이를 개선하기 위한 노력이 계속되고 있다.

종래의 스플릿 게이트 셀(Split gate cell)은 도 3에 도시된 바와 같이 기존의 MOSFET와 같이 액티브(Active)의 폭(Width)이 균일한 구조를 갖고 있다. Cs는 플로팅 게이트 밑으로 소스(Source)(14)를 확장시킨 면적(A)과 게이트 절연막(20)의 두께에 관계하는데 게이트 절연막(20)의 두께를 줄이는 것과 소스(14) 확장 길이를 늘이는[줄이는] 것에는 제한이 있으므로 결과적으로 Cs의 증진이 어려운 단점이 있다.

스플릿 게이트(Split gate)형 플래쉬 메모리(Flash memory)의 전자 방출(Erase)시의 전류(Id)가 전자 트랩(trap)에 의해 전자 주입/방출 횟수(Programing Cycle)--쓰기/지우기 반복 횟수--에 따라 낮아지는 현상을 도 4에 나타내었는데, 스플릿 게이트(Split gate)형 메모리 셀의 Endurance Failure는 주로 이러한 전자방출(Erase)시의 터널링(tunnelling) 전류감소로 알려져 있다. 그런데 이것은 게이트 절연막(20)에 비해 막질이 열악하며 두꺼운 인터폴리 터널(Interpoly Tunnel) 절연막(24)에 의한 전자 트랩(trap)에 기인하는 본질적인 문제이므로 이 현상을 완전히 배제하기는 어렵다. 따라서 이를 고려한 적절한 셀 구조를 채택할 필요가 있다.

발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 문제점을 개선하고자 창안한 것으로, 쓰기(Program) 및 지우기(Erase) 효율의 증진과 아울러 쓰기/지우기 반복(Endurance) 특성이 개선되는 액티브(Active) 형상을 갖는 스플릿 게이트형 플래쉬 메모리를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여 본 발명에 따른 스플릿 게이트(Split gate)형 플래쉬 메모리(Flash memory)는, 기판;과 이 기판 상에 형성된 소스, 드레인 및 채널; 상기 소스, 드레인 및 채널 상에 각각 형성된 게이트 절연막; 상기 소스 및 채널 상의 게이트 절연막 상에 적층된 플로팅 게이트; 상기 플로팅 게이트 상면 및 측면에 각각 적층된 게이트간 절연층 및 터널 절연막; 및 상기 플로팅 게이트 상면의 게이트간 절연층과 터널 절연막 및 상기 게이트 절연층 상에 적층된 제어 게이트;를 구비한 스플릿 게이트형 플래쉬 메모리에 있어서, 상기 플로팅 게이트에 대응하는 상기 채널 폭이 상기 제어 게이트에 대응하는 상기 게이트 폭 보다 커도록 확장된 액티브 형상을 갖는 것을 특징으로 한다.

또한, 상기와 같은 목적을 달성하기 위하여 본 발명에 따른 스플릿 게이트(Split gate)형 플래쉬 메모리(Flash memory)는, 기판;과 이 기판 상에 형성된 소스, 드레인 및 채널; 상기 소스, 드레인 및 채널 상에 각각 형성된 게이트 절연막; 상기 소스 및 채널 상의 게이트 절연막 상에 적층된 플로팅 게이트; 상기 플로팅 게이트 상면 및 측면에 각각 적층된 게이트간 절연층 및 터널 절연막; 및 상기 플로팅 게이트

트 상면의 게이트간 절연층과 터널 절연막 및 상기 게이트 절연층 상에 적층된 제어 게이트;를 구비한 스플릿 게이트형 플래쉬 메모리에 있어서, 상기 플로팅 게이트 밑의 상기 소스가 상기 제어 게이트에 대응하는 채널 폭 보다 커도록 확장된 액티브 형상을 갖는 것을 특징으로 한다.

또한, 상기와 같은 목적을 달성하기 위하여 본 발명에 따른 스플릿 게이트(Split gate)형 플래쉬 메모리(Flash memory)는, 기판;과 이 기판 상에 형성된 소스, 드레인 및 채널; 상기 소스, 드레인 및 채널 상에 각각 형성된 게이트 절연막; 상기 소스 및 채널 상의 게이트 절연막 상에 적층된 플로팅 게이트; 상기 플로팅 게이트 상면 및 측면에 각각 적층된 게이트간 절연층 및 터널 절연막; 및 상기 플로팅 게이트 상면의 게이트간 절연층과 터널 절연막 및 상기 게이트 절연층 상에 적층된 제어 게이트;를 구비한 스플릿 게이트형 플래쉬 메모리에 있어서, 상기 플로팅 게이트에 대응하는 상기 채널 폭이 상기 제어 게이트에 대응하는 상기 채널 폭 보다 커도록 확장되고, 상기 플로팅 게이트 밑의 상기 소스가 상기 제어 게이트에 대응하는 채널 폭 보다 커도록 확장된 액티브 형상을 갖는 것을 특징으로 한다.

이하 도면을 참조하면서 본 발명에 따른 스플릿 게이트형 플래쉬 메모리를 상세하게 설명한다.

본 발명에 따른 스플릿 게이트형 플래쉬 메모리는, 쓰기(Program) 및 지우기(Erase) 효율의 증진과 아울러 쓰기/지우기 반복(Endurance) 특성을 개선하도록 소스 쪽으로 갈수록 액티브(Active)의 폭(Width)을 증가시키는 것을 특징으로 한다. 이러한 액티브 폭이 증가된 실시예를 도 5a 내지 도 5c에 도시하였다.

즉, 스플릿 게이트 메모리 셀(Split gate memory cell)의 제1실시예에 있어서는 액티브(Active)의 형상을, 도 6a 내지 도 6f에 도시된 바와 같은 제조 공정으로, 도 5a에 도시된 바와 같이 변경시켜 플로팅 게이트(Floating gate)에 대응하는 채널폭(channel width)이 제어 게이트(control gate)에 대응하는 채널 폭(channel width) 보다 크게 만든다.

또한, 스플릿 게이트 메모리 셀(Split gate memory cell)의 제2실시예에 있어서는 액티브(Active)의 형상을, 도 5b에 도시된 바와 같이 플로팅 게이트(Floating gate) 밑으로 소스가 확장되는 부분을 크게하여 액티브 폭(Active width)을 가능한 한 넓게 만든다.

제1실시예는 종래의 플래쉬 메모리 셀에 비해 플로팅 게이트의 전도성(Conductance)이 커지게 되므로 전자 트랩(trap)에 의해 V_{th} (floating gate)가 증가하여도 읽기(Reading) 시의 전류값의 저하를 줄일 수 있게 되므로 결과적으로 쓰기/지우기 반복(Endurance) 특성이 개선된다. 통상 쓰기/지우기 반복 특성은 초기 전류값에 대한 사이클 스트레스(Cycle stress) 후의 전류값의 비로 표현된다. 이를 좀 더 자세히 설명하면 다음과 같다.

스플릿 게이트 셀(Split gate cell)은 MOSFET 2개를 직렬 연결한 것으로 이해할 수 있다. 따라서 다음과 같이 간단히 저항의 직렬 연결로 이해되어 다음 수학적 표현될 수 있다.

$$R_{cell} = r1(\text{floating gate}) + r2(\text{control gate})$$

$$I_{ds} = V_{ds} / (r1 + r2)$$

도 4에서의 I_{ds} 값의 저하현상은 R_{cell} 의 저항변화에 기인함을 알 수 있다. 여기서, 제어 게이트(Control gate) 밑의 채널(Channel) 저항인 $r2$ 는 전류주입 사이클(Programing Cycle)에 대하여 거의 변하지 않고 고 가정할 때, $r1$ 값의 증가에 의한 영향을 최소화 하는 것이 쓰기/지우기 반복 특성 개선에 효과적임을 알 수 있다. 이는 다시 셀 저항 $R_{cell} = r2(\alpha k + 1)$ 로 생각할 때 $k(k=r1/r2)$ 값을 낮춤으로써 특정 α 값에 대해 R_{cell} 의 변화를 줄일 수 있음을 알 수 있다. 여기서 α 는 쓰기/지우기 반복 횟수(Programing cycle)에 따른 저항 $r1$ 의 증가 정도를 나타낸다. 따라서 초기값은 1이며, 전자 트랩(trap)에 의해 플로팅 게이트의 채널이 열리는 정도가 작아지면 이 값은 증가하게 된다. 그런데, MOSFET에서의 저항(r)은 채널 폭(Channel width)(W)에 반비례하고 채널 길이(channel length)(L)에 비례하므로 플로팅 게이트(Floating gate) 밑의 채널 폭(Channel width)을 제어 게이트(Control gate) 밑의 채널 폭(channel width) 보다 크게 하는 것이 k 값을 줄이게 되어 결과적으로 쓰기/지우기 반복 특성 개선에 효과적임을 알 수 있다. 여기서, 채널 길이(Channel length)의 변화로도 본 목적을 달성할 수 있으나, 셀 사이즈(Cell size) 등의 변화를 수반해야 하므로 바람직하지 않다.

또한, 제2실시예의 메모리 셀(Cell)은 기존의 메모리 셀(Cell)에 비해 C_s 가 커지므로 전술한 이유로 인해 쓰기(Program) 효율이 높아지며, 지우기(Erase) 효율과 아울러 쓰기/지우기 반복(Endurance) 특성도 대폭 향상된다.

이와 같이, 제1실시예와 제2실시예 각각을 따로 적용하는 것도 가능하지만, 도 5c에 도시된 바와 같이, 제1실시예와 제2실시예의 액티브 확장 영역을 동시에 채용하는 제3실시예는 더욱 바람직하다.

도 5c는 제3실시예에서 채택한 액티브(Active) 형상을 보여주고 있는 개략적 루시 평면도이다. 이러한 제3실시예의 셀(Cell) 제작공정은 도 6a 내지 도 6f에 도시된 바와 같이 이루어진다(USP 5,242,848 참조).

먼저, 도 6a에 도시된 바와 같이, 실리콘 기판(12) 상에 게이트 산화물(20)을 형성하고, 그 위에 폴리 실리콘층(22)과 절화물층(70)을 순차로 증착한 다음, 포토리소그래피 공정으로 절화물층을 선택 에칭하여 절화물 마스크 패턴(70)을 형성한 후, 노출된 폴리실리콘층(22) 상에 도 6b에 도시된 바와 같은 산화물층(25)을 형성한다.

다음에, 도 6c에 도시된 바와 같이, 산화물층(25) 하부의 폴리실리콘층(22) 만을 남기고 나머지 폴리실리콘층(22)과 절화물 마스크 패턴(70)을 식각하여 제거한다.

다음에, 도 6d에 도시된 바와 같이, 인터폴리 터널(Interpoly Tunnel) 절연막(24)을 형성한다.

다음에, 도 6e에 도시된 바와 같이, 산화물층(25)과 인터폴리 터널 절연막(24) 및 게이트 절연막(20) 상에 제어 게이트(29)를 형성한다.

다음에, 도 6f에 도시된 바와 같이, 인접하는 폴리실리콘층(22) 및 산화물층(25) 사이로 불순물을 도핑하

며 소스(14) 및 드레인(16)을 형성하여 소자를 완성한다.

이와 같이 제작된 제3실시예의 메모리 셀(Cell)의 쓰기(Program) 특성과 쓰기/지우기 반복(Endurance) 특성은 각각 도 7 및 도 8에 도시된 바와 같다. 본 발명의 Active 현상을 채택한 경우, 도 7에 도시된 바와 같이, 쓰기(Program) 시간이 기존의 플래쉬 메모리 셀에서 보다 짧아지며, 도 8에 도시된 바와 같이, 쓰기/지우기 반복(Endurance) 특성도 더욱 개선되는 것을 알 수 있다.

이상과 같이, 본 발명에 의한 액티브(Active) 확장에 의한 효과를 보여주는 대표적인 실시예를 나타내었는데, 본 실시예의 Active 현상은 본 발명의 개념을 구현하는 한 예이므로 본 실시예가 발명의 범위를 제한하지는 않는다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따른 스텝릿 게이트형 플래쉬 메모리는 플로팅 게이트(Floating gate) 밑으로 소스가 확장되는 부분의 액티브 폭(Active width)을 가능한 한 넓게 만들어 줌으로써, 쓰기(Program) 및 지우기(Erase) 효율을 증진시킬과 동시에 쓰기/지우기 반복(Endurance) 특성이 향상된다.

(5) 청구의 범위

청구항 1. 기판;과 이 기판 상에 형성된 소스, 드레인 및 채널; 상기 소스, 드레인 및 채널 상에 각각 형성된 게이트 절연막; 상기 소스 및 채널 상의 게이트 절연막 상에 적층된 플로팅 게이트; 상기 플로팅 게이트 상면 및 측면에 각각 적층된 게이트간 절연층 및 터널 절연막; 및 상기 플로팅 게이트 상면의 게이트간 절연층과 터널 절연막 및 상기 게이트 절연층 상에 적층된 제어 게이트;를 구비한 스텝릿 게이트형 플래쉬 메모리에 있어서,

상기 플로팅 게이트에 대응하는 상기 채널 폭이 상기 제어 게이트에 대응하는 상기 채널 폭 보다 커도록 확장된 액티브 현상을 갖는 것을 특징으로 하는 스텝릿 게이트형 플래쉬 메모리.

청구항 2. 기판;과 이 기판 상에 형성된 소스, 드레인 및 채널; 상기 소스, 드레인 및 채널 상에 각각 형성된 게이트 절연막; 상기 소스 및 채널 상의 게이트 절연막 상에 적층된 플로팅 게이트; 상기 플로팅 게이트 상면 및 측면에 각각 적층된 게이트간 절연층 및 터널 절연막; 및 상기 플로팅 게이트 상면의 게이트간 절연층과 터널 절연막 및 상기 게이트 절연층 상에 적층된 제어 게이트;를 구비한 스텝릿 게이트형 플래쉬 메모리에 있어서,

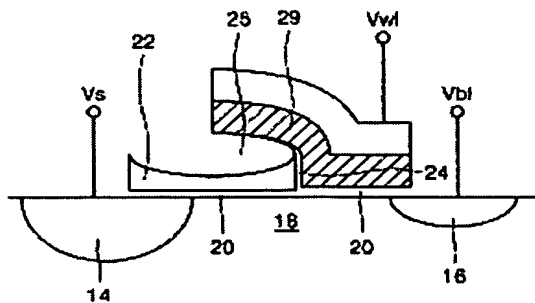
상기 플로팅 게이트 밑의 상기 소스가 상기 제어 게이트에 대응하는 채널 폭 보다 커도록 확장된 액티브 현상을 갖는 것을 특징으로 하는 스텝릿 게이트형 플래쉬 메모리.

청구항 3. 기판;과 이 기판 상에 형성된 소스, 드레인 및 채널; 상기 소스, 드레인 및 채널 상에 각각 형성된 게이트 절연막; 상기 소스 및 채널 상의 게이트 절연막 상에 적층된 플로팅 게이트; 상기 플로팅 게이트 상면 및 측면에 각각 적층된 게이트간 절연층 및 터널 절연막; 및 상기 플로팅 게이트 상면의 게이트간 절연층과 터널 절연막 및 상기 게이트 절연층 상에 적층된 제어 게이트;를 구비한 스텝릿 게이트형 플래쉬 메모리에 있어서,

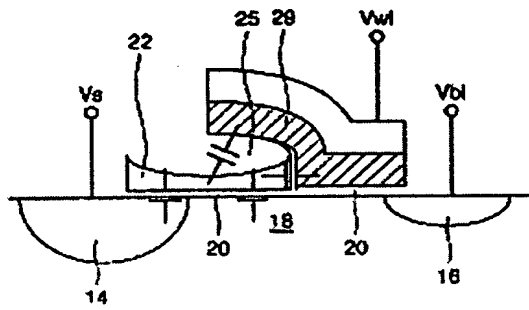
상기 플로팅 게이트에 대응하는 상기 채널 폭이 상기 제어 게이트에 대응하는 상기 채널 폭 보다 커도록 확장되고, 상기 플로팅 게이트 밑의 상기 소스가 상기 제어 게이트에 대응하는 채널 폭 보다 커도록 확장된 액티브 현상을 갖는 것을 특징으로 하는 스텝릿 게이트형 플래쉬 메모리.

도면

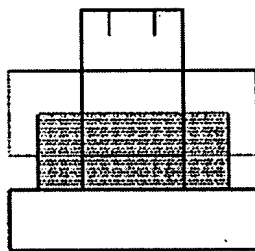
도면1



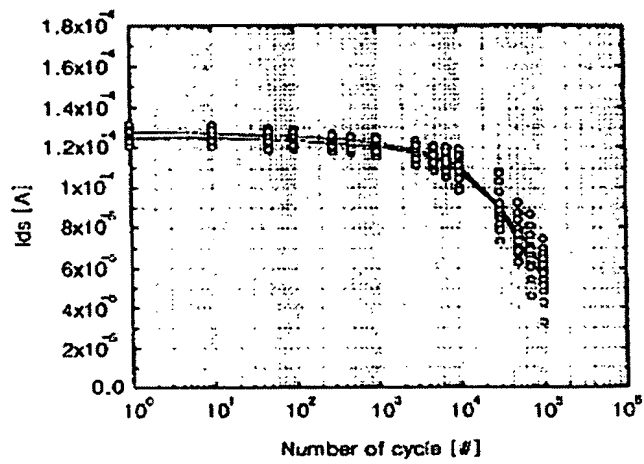
도 2



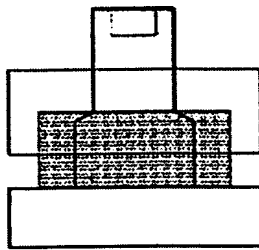
도 3



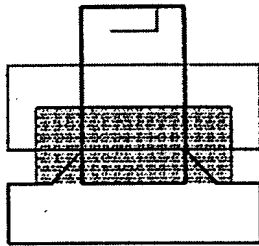
도 4



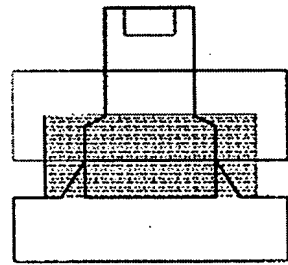
도 5a



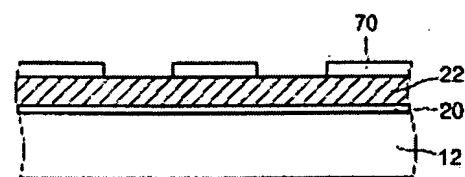
도 5b



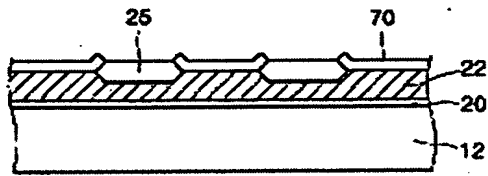
도 5c



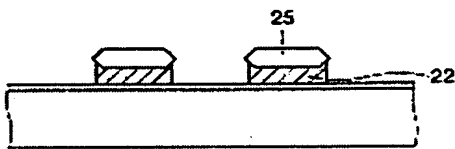
도 5d



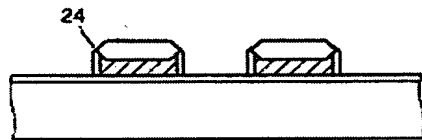
도면a



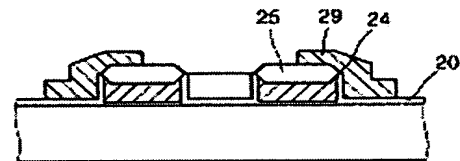
도면b



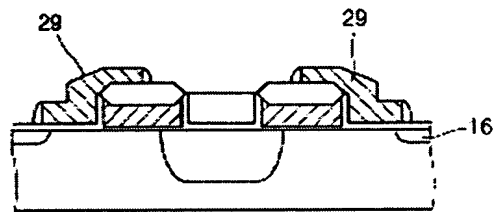
도면c



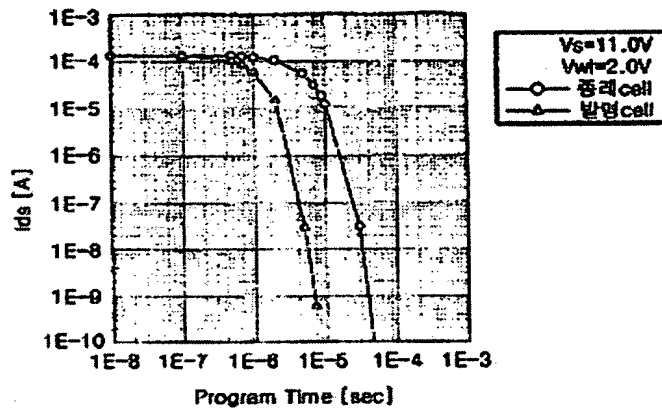
도면d



도면e



도 87



도 88

